

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-003965
 (43)Date of publication of application : 07.01.2000

(51)Int.Cl. H01L 21/8234
 H01L 27/088
 H01L 27/108
 H01L 21/8242

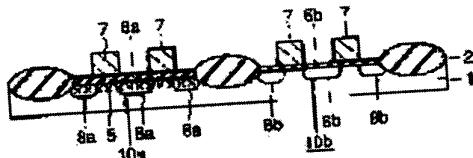
(21)Application number : 10-167160
 (22)Date of filing : 15.06.1998

(71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : KAWAI KENJI
 YONEKURA KAZUMASA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:
 PROBLEM TO BE SOLVED: To reduce damages imparted to a substrate in a simple process, by a method wherein a second gate oxide film has a film thickness different from a first gate oxide film, and an oxidation velocity regulate is added to only the range of a depth of a specified value or less from a main surface of a semiconductor substrate in a first region.

SOLUTION: A conductive layer 7 is patterned by etching to form a gate electrode layer 7. By use of a gate electrode layer 7, a field oxide film 2 or the like as a mask, impurities are ion-injected, whereby source/drain regions 8a, 8b are formed on a surface of a silicon substrate 1. Thus, MOS transistors 10a having a thick gate oxide film 6a and MOS transistors 10b having a thin gate oxide film 6b are completed. An oxidation accelerating matter 5 such as halogen, etc., is added on a surface of the silicon substrate 1 just under the relatively thick gate oxide film 6a. This oxidation accelerating matter 5 distributes only in the range of a depth of 2 nm or less from a surface of the silicon substrate 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-3965

(P2000-3965A)

(43) 公開日 平成12年1月7日 (2000.1.7)

(51) Int.Cl.
H 01 L 21/8234
27/088
27/108
21/8242

識別記号

FI
H 01 L 27/08
27/10

コード (参考)

102 C 5 F 048
681 F 5 F 083

審査請求 未請求 請求項の数 16 O.L. (全 20 頁)

(21) 出願番号

特願平10-167160

(22) 出願日

平成10年6月15日 (1998.6.15)

(71) 出願人 000006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72) 発明者 川井 健治
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 米倉 和賀
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746
弁理士 深見 久郎 (外3名)

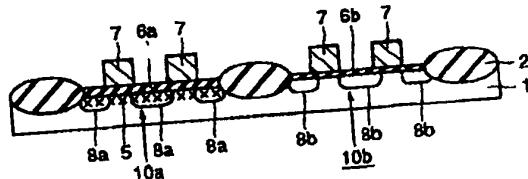
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 簡略な工程で基板に与えるダメージを少なく
できる、デュアルゲートオキサイドを有する半導体装置
およびその製造方法を提供する。

【解決手段】 シリコン基板1の表面上には比較的厚い
ゲート酸化膜6aと比較的薄いゲート酸化膜6bとが形
成されている。比較的厚いゲート酸化膜6a直下の領域
には、シリコン基板1の主表面から2nm以下の深さの
範囲内にのみハロゲン5が添加されている。



1

【特許請求の範囲】

【請求項1】 異なる膜厚のゲート酸化膜を有する半導体装置であって、主表面に第1および第2の領域を有する半導体基板と、前記第1の領域において前記半導体基板の主表面に接して形成された第1のゲート酸化膜と、前記第2の領域において前記半導体基板の主表面に接して形成され、かつ前記第1のゲート酸化膜と異なる膜厚を有する第2のゲート酸化膜と、前記第1の領域の前記半導体基板の主表面から2 nm以下の深さの範囲内にのみ添加された酸化速度調整物とを備えた、半導体装置。

【請求項2】 前記酸化速度調整物は酸化促進物であり、前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも厚い、請求項1に記載の半導体装置。

【請求項3】 前記酸化促進物はハロゲンである、請求項2に記載の半導体装置。

【請求項4】 前記酸化速度調整物は酸化抑制物であり、前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも薄い、請求項1に記載の半導体装置。

【請求項5】 前記酸化抑制物は窒素である、請求項4に記載の半導体装置。

【請求項6】 半導体基板の主表面の第1および第2の領域上において異なる膜厚のゲート酸化膜を有する半導体装置の製造方法であって、前記半導体基板の主表面の前記第1の領域を、酸化速度調整物を含むガスのプラズマに晒して前記酸化速度調整物を前記半導体基板の主表面の前記第1の領域に添加する工程と、

前記半導体基板の主表面の前記第1および第2の領域を同時に酸化することで、前記第1の領域上には第1のゲート酸化膜を形成し、前記酸化速度調整物が添加されていない前記第2の領域上には前記第1のゲート酸化膜と異なる膜厚の第2のゲート酸化膜を形成する工程とを備えた、半導体装置の製造方法。

【請求項7】 前記酸化速度調整物は酸化促進物であり、前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも厚く形成される、請求項6に記載の半導体装置の製造方法。

【請求項8】 前記酸化促進物はハロゲンである、請求項7に記載の半導体装置の製造方法。

【請求項9】 前記酸化速度調整物を含むガスは、NF₃、SF₆、F₂、HF、C₁F₈、C₂F₆、HC₁、BC₁、およびHBよりなる群より選ばれる1種以上を含むガスである、請求項8に記載の半導体装置の製造方法。

【請求項10】 前記酸化速度調整物は酸化抑制物であり、前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも薄く形成される、請求項6に記載の半導体装置の製造方法。

【請求項11】 前記酸化抑制物は窒素である、請求項10に記載の半導体装置の製造方法。

【請求項12】 前記酸化速度調整物を含むガスは、N₂、N₂OおよびNO_xよりなる群より選ばれる1種以上を含むガスである、請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第1および第2のゲート酸化膜上に導電層と被覆層とを順に積層して形成する工程と、前記導電層と前記被覆層とを選択的に除去してバーニングする工程と、

バーニングされた前記導電層と前記被覆層とをマスクとして前記導電層および前記被覆層が除去された領域に素子分離構造を形成する工程と、

バーニングされた前記導電層をさらにバーニングすることでゲート電極層を形成する工程とをさらに備えた、請求項6に記載の半導体装置の製造方法。

【請求項14】 前記素子分離構造を形成する工程は、バーニングされた前記導電層と前記被覆層とをマスクとして熱酸化処理を施することで前記半導体基板の主表面にフィールド酸化膜を形成する工程を有する、請求項13に記載の半導体装置の製造方法。

【請求項15】 前記素子分離構造を形成する工程は、バーニングされた前記導電層と前記被覆層とをマスクとして前記半導体基板の主表面にエッチングを施すことで前記半導体基板の主表面に溝を形成する工程と、前記溝内を埋込層で埋込んでトレンチ分離構造を形成する工程とを有する、請求項13に記載の半導体装置の製造方法。

【請求項16】 前記第1および第2のゲート酸化膜上に第1の導電層と絶縁層と被覆層とを順に積層して形成する工程と、

前記第1の導電層と前記絶縁層と前記被覆層とを前記第1および第2のゲート酸化膜の各上に残るように選択的に除去してバーニングする工程と、

バーニングされた前記第1の導電層と前記絶縁層と前記被覆層とをマスクとして前記半導体基板の主表面にエッチングを施すことで前記半導体基板の主表面に溝を形成する工程と、

前記溝内を埋込み、かつ上面が前記第1の導電層の上面より上に位置する埋込層を形成する工程と、

前記被覆層をすべて除去して前記絶縁層を露出させる工程と、

前記第1および第2のゲート酸化膜のいずれか一方のゲート酸化膜上の前記絶縁層と、前記一方のゲート酸化膜上の前記絶縁層に隣接する前記埋込層の部分とに等方性エッチングを施して前記一方のゲート酸化膜上の絶縁層を除去して前記一方のゲート酸化膜上の前記導電層を露出させるとともに前記埋込層になだらかな側壁を形成する工程と、

前記一方のゲート酸化膜上では前記第1の導電層と接す

3 るように、かつ他方のゲート酸化膜上では前記絶縁層と接するように第2の導電層を形成する工程と、前記第1および第2の導電層をパターニングすることにより前記一方のゲート酸化膜上では前記第1および第2の導電層よりなる第1のゲート電極層を形成するとともに、前記他方のゲート酸化膜上では前記第1の導電層よりなる第2のゲート電極層を形成する工程とをさらに備えた、請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、より特定的には、1つのデバイス中に膜厚の異なる複数のゲート酸化膜を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体装置の集積化・統合化に伴い、1つのチップ内に異なる膜厚のゲート酸化膜を有するデバイス（デュアルゲートオキサイドデバイス）が増加している。特に、DRAM（Dynamic Random Access Memory）をはじめとするメモリデバイスとロジックデバイスとを混載したものにおいて、このデュアルゲートオキサイドデバイスの増加が著しくなっている。

【0003】以下に、従来のデュアルゲートオキサイドを有する半導体装置の製造方法について説明する。

【0004】図57～図62は、従来のデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。まず図57を参照して、シリコン基板1の表面にフィールド酸化膜2が形成された後、熱酸化が施される。

【0005】図58を参照して、この熱酸化により、シリコン基板1の表面に第1のゲート酸化膜6aが形成される。通常の写真製版技術により所定の領域上にレジストパターン61aが形成される。このレジストパターン61aから露出した第1のゲート酸化膜6aが、たとえばウェットエッチングにより除去される。

【0006】図59を参照して、このウェットエッチングにより、シリコン酸化膜6aが除去された部分ではシリコン基板1の表面が露出する。レジストパターン61aが除去された後、再度、熱酸化が施される。

【0007】図60を参照して、この熱酸化により、シリコン基板1の露出した表面に第2のゲート酸化膜6bが形成されるとともに、第1のゲート酸化膜6aの膜厚が厚くなる。これにより、第1のゲート酸化膜6aの膜厚が第2のゲート酸化膜6bの膜厚よりも厚く形成され、デュアルゲートオキサイドが形成される。

【0008】図61を参照して、表面全面にゲート用導電層7が形成される。通常の写真製版技術によりゲート用導電層7の所定の領域上にレジストパターン61bが形成される。このレジストパターン61bをマスクとして導電層7にエッチングが施される。この後、レジスト

パターン61bが除去される。

【0009】図62を参照して、上記のエッチングにより、ゲート用導電層7がパターニングされてゲート電極層7が形成される。このゲート電極層7、フィールド酸化膜2などをマスクとして不純物を注入することにより、シリコン基板1の表面に、ソース／ドレイン領域8a、8bが形成される。これにより、比較的厚いゲート酸化膜6aを有するMOS（Metal Oxide Semiconductor）トランジスタと、比較的薄いゲート酸化膜6bを有するMOSトランジスタとが完成する。

【0010】上記の方法によれば、デュアルゲートオキサイドを形成することはできるが、膜厚の異なるゲート酸化膜を互いに異なる熱酸化工程で形成しなければならず、製造工程が煩雑であった。そこで、より簡略な工程でデュアルゲートオキサイドを形成する方法が、たとえば特開平7-297298号公報、特開平9-92729号公報および特開昭63-205941号公報に開示されている。以下、特開平7-297298号公報に開示された方法を例に挙げて説明する。

【0011】図63～図65は、上記公報に開示されたデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。まず図63を参照して、シリコン基板1の表面にフィールド酸化膜2が形成される。

【0012】図64を参照して、通常の写真製版技術によりシリコン基板1上の所定の領域にレジストパターン71が形成される。このレジストパターン71から露出したシリコン基板1の表面に、ハロゲン族物質としてFまたはClなどの酸化促進物がイオン注入される。この後、レジストパターン71が除去される。

【0013】図65を参照して、ゲート酸化膜を形成するための酸化工程が行なわれる。この酸化工程のとき、ハロゲン族物質は酸化促進の働きをするため、酸化促進物がイオン注入された領域に形成されるゲート酸化膜6aは、酸化促進物がイオン注入されていない領域に形成されるゲート酸化膜6bよりも厚く形成される。これにより、デュアルゲートオキサイドが形成される。

【0014】図63～図65に示す方法によれば、1回の酸化工程でデュアルゲートオキサイドを形成することができるため、工程の簡略化を図ることができる。

【0015】なお、上記公報は、酸化促進物ではなく、酸化抑制物としてN（窒素）をイオン注入することで、1回の酸化工程でデュアルゲートオキサイドを形成する方法も開示している。

【0016】なお、このイオン注入では加速エネルギーが1keV未満ではイオンの引出しが困難となる。このため、酸化促進物または酸化抑制物をイオン注入する際には注入エネルギーを1keV以上にする必要がある。しかし、1keV以上の注入エネルギーでイオンを注入すると、シリコン基板1の表面から2nmよりも深い位

5
置にまで酸化促進物または酸化抑制物が分布することになる。

【0017】

【発明が解決しようとする課題】上述した製造方法では、酸化促進物または酸化抑制物がイオン注入によりシリコン基板1に導入される。このイオン注入はイオンをシリコン基板1内に物理的に注入する方法であり、かつその注入エネルギーが比較的大きい。このため、イオン注入で酸化促進物などを注入すると、シリコン基板1の表面には格子欠陥などが多数生じ、シリコン基板1の表面は大きなダメージを受けることになる。この大きなダメージを修復するためには、熱処理(アニール)工程などを追加する必要があり、その分だけ製造工程が煩雑になるという問題点があった。

【0018】それゆえ、本発明の目的は、簡略な工程で基板に与えるダメージを小さくできる、デュアルゲートオキサイドを有する半導体装置およびその製造方法を提供することである。

【0019】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、第1および第2のゲート酸化膜と、酸化速度調整物とを備えている。半導体基板は、第1および第2の領域を有している。第1のゲート酸化膜は、第1の領域において半導体基板の主表面に接して形成されている。第2のゲート酸化膜は、第2の領域において半導体基板の主表面に接して形成され、かつ第1のゲート酸化膜と異なる膜厚を有している。酸化速度調整物は、第1の領域の半導体基板の主表面から2nm以下の深さの範囲内にのみ添加されている。

【0020】本発明の半導体装置では、半導体基板の主表面から2nm以下の深さの範囲内のみと従来例に比較して浅い位置に酸化速度調整物が分布しているため、その添加の際のエネルギーも従来例のイオン注入の場合より格段に小さくできる。このため、格子欠陥などのダメージの少ない半導体装置を得ることができる。

【0021】上記の半導体装置において好ましくは、酸化速度調整物は酸化促進物であり、第1のゲート酸化膜は第2のゲート酸化膜よりも厚い。

【0022】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化促進物を添加した第1の領域では酸化促進物を添加しない第2の領域よりもゲート酸化膜の厚みを厚くすることができる。

【0023】上記の半導体装置において好ましくは、酸化促進物はハロゲンである。これにより、ハロゲンの酸化促進作用を利用することができます。

【0024】上記の半導体装置において好ましくは、酸化速度調整物は酸化抑制物であり、第1のゲート酸化膜は第2のゲート酸化膜よりも薄い。

【0025】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化抑制物を添加した第1の

領域では酸化抑制物を添加していない第2の領域よりもゲート酸化膜の厚みを薄くすることができます。

【0026】上記の半導体装置において好ましくは、酸化抑制物は窒素である。これにより、窒素の酸化抑制作用を利用することができます。

【0027】本発明の半導体装置の製造方法は半導体基板の主表面の第1および第2の領域上において異なる膜厚のゲート酸化膜を有する半導体装置の製造方法であって、以下の工程を備えている。

【0028】まず半導体基板の主表面の第1の領域が酸化速度調整物を含むガスのプラズマに晒されて、酸化速度調整物が半導体基板の主表面の第1の領域に添加される。そして半導体基板の主表面の第1および第2の領域が同時に酸化されることで、第1の領域上には第1のゲート酸化膜が形成され、酸化速度調整物が添加されていない第2の領域上には第1のゲート酸化膜と異なる膜厚の第2のゲート酸化膜が形成される。

【0029】本発明の半導体装置の製造方法では、プラズマに晒すことによって酸化速度調整物が半導体基板に添加される。この添加方法では、従来例のイオン注入より添加の際のエネルギーを格段に小さくすることができます。このため、半導体基板の格子欠陥などのダメージを少なくすることができます。よって、ダメージの修復が容易となり、たとえばゲート酸化膜形成のための熱酸化だけでダメージを修復することができる。したがって、従来例のようにダメージを修復するための新たな熱酸化工程の追加が不要となり、工程を簡略化することができる。

【0030】上記の半導体装置の製造方法において好ましくは、酸化速度調整物は酸化促進物であり、第1のゲート酸化膜は第2のゲート酸化膜よりも厚く形成される。

【0031】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化促進物を添加した第1の領域では酸化促進物を添加していない第2の領域よりもゲート酸化膜の厚みを厚くすることができます。

【0032】上記の半導体装置の製造方法において好ましくは、酸化促進物はハロゲンである。

【0033】これにより、ハロゲンの酸化促進作用を利用することができます。上記の半導体装置の製造方法において好ましくは、酸化速度調整物を含むガスは、N₂、SF₆、F₂、HF、C₁F₈、C₁Cl、HC₁、BC₁、およびHBrよりなる群より選ばれる1種以上を含むガスである。

【0034】これにより、各条件に応じたガスを選択することができます。上記の半導体装置の製造方法において好ましくは、酸化速度調整物は酸化抑制物であり、第1のゲート酸化膜は第2のゲート酸化膜よりも薄く形成される。

【0035】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化抑制物を添加した第1の

7
領域では酸化抑制物を添加していない第2の領域よりも
ゲート酸化膜の厚みを薄くすることができる。

【0036】上記の半導体装置の製造方法において好ま
しくは、酸化抑制物は窒素である。これにより、窒素の
酸化抑制作用を利用することができる。

【0037】上記の半導体装置の製造方法において好ま
しくは、酸化速度調整物を含むガスは、N₂、N₂Oお
よびNO_xよりなる群より選ばれる1種以上を含むガス
である。

【0038】これにより、各条件に応じたガスを選択す
ることができる。上記の半導体装置の製造方法において
好ましくは、第1および第2のゲート酸化膜上に導電層
と被覆層とを順に積層して形成する工程と、導電層と被
覆層とを選択的に除去してバーニングする工程と、バ
ターニングされた導電層と被覆層とをマスクとして導電
層および被覆層が除去された領域に素子分離構造を形成
する工程と、バターニングされた導電層をさらにバタ
ニングすることでゲート電極層を形成する工程とがさら
に備えられている。

【0039】この方法では、素子分離構造形成前に導電
層が形成される。このため、素子分離構造形成後に導電
層を形成する場合のように、素子分離構造によって段差
の生じた上に導電層が形成されることはない。よって、
ゲート電極形成時に導電層をバターニングしても、下層
の段差側壁に導電層の残渣が生じることはない。したが
って、この残渣によって導電層間がショートされるなど
の不都合が生じることはない。

【0040】上記の半導体装置の製造方法において好ま
しくは、素子分離構造を形成する工程は、バターニング
された導電層と被覆層とをマスクとして熱酸化処理を施
すことと半導体基板の主表面にフィールド酸化膜を形成
する工程を有する。

【0041】これにより、残渣の発生を防止しつつフィ
ールド酸化膜を形成することができる。

【0042】上記の半導体装置の製造方法において好ま
しくは、素子分離構造を形成する工程は、バターニング
された導電層と被覆層とをマスクとして半導体基板の主
表面にエッチングを施すことで半導体基板の主表面に溝
を形成する工程と、溝内を埋込層で埋込んでトレンチ分
離構造を形成する工程とを有する。

【0043】これにより、残渣の発生を防止しつつトレ
ンチ分離構造を形成することができる。

【0044】上記の半導体装置の製造方法において好ま
しくは、以下の工程がさらに備えられる。

【0045】まず第1および第2のゲート酸化膜上に第
1の導電層と絶縁層と被覆層とが順に積層して形成され
る。そして第1の導電層と絶縁層と被覆層とが第1およ
び第2のゲート酸化膜の各上に残るように選択的に除去
されてバターニングされる。そしてバターニングされた
第1の導電層と絶縁層と被覆層とをマスクとして半導体

10
基板の主表面にエッチングが施されることで半導体基
板の主表面に溝が形成される。そして溝内を埋込み、か
つ上面が第1の導電層の上面より上に位置する埋込層が
形成される。そして被覆層がすべて除去されて絶縁層が
露出される。そして第1および第2のゲート酸化膜のい
ずれか一方のゲート酸化膜上の絶縁層と、一方のゲート
酸化膜上の絶縁層に隣接する埋込層の部分とに等方性エ
ッチングが施されて一方のゲート酸化膜上の絶縁層が除
去されて一方のゲート酸化膜上の導電層が露出されると
ともに埋込層になだらかな側壁が形成される。そして一
方のゲート酸化膜上では第1の導電層と接するように、
かつ他方のゲート酸化膜上では絶縁層と接するように第
2の導電層が形成される。そして第1および第2の導電
層をバターニングすることにより、一方のゲート酸化膜
上では第1および第2の導電層よりなる第1のゲート電
極層が形成されるとともに、他方のゲート酸化膜上では
第1の導電層よりなる第2のゲート電極層が形成され
る。

【0046】この方法では、いずれか一方のゲート酸化
膜上の絶縁層が等方性エッチングにより除去される。こ
の等方性エッチングでは、エッチング部の側壁はなだら
かなラウンド形状となる。このため、この上に第2の導
電層を形成しゲート電極形成のためにバターニングされ
ても、このなだらかな側壁部には第2の導電層の残渣は
生じにくい。このようにゲート電極層を第1および第2
の導電層の積層構造とする場合でも、第2の導電層の残
渣の発生を抑制することができる。

【0047】
【発明の実施の形態】以下、本発明の実施の形態につい
て図に基づいて説明する。

【0048】実施の形態1

図1～図7は、本発明の実施の形態1におけるデュアル
ゲートオキサイドを有する半導体装置の製造方法を工程
順に示す概略断面図である。まず図1を参照して、シリ
コン基板1の表面に、素子間を絶縁するためのフィール
ド酸化膜2が、たとえばLOCOS (Local Oxidation
of Silicon) 法により形成される。

【0049】図2を参照して、シリコン基板1の表面全
面にたとえばシリコン酸化膜（あるいはシリコン窒化
膜）よりなるマスク層3が形成される。このマスク層3
40 上にフォトレジスト4aが塗布された後バターニングさ
れ、レジストバターン4aが形成される。このレジスト
バターン4aをマスクとしてマスク層3に異方性エッチ
ングが施される。これにより、ゲート酸化膜を厚く形成
したい領域以外にマスクバターン3が残存される。この
後、レジストバターン4aが除去される。

【0050】ここで、マスクバターン3を用いずに、シリ
コン基板1上に直接レジスト4aを塗布することもで
きるが、この場合には、後工程で形成されるゲート酸化
膜の膜質および信頼性の低下が懸念される。

9
【0051】図3を参照して、ハロゲンを含むプラズマ(特にF、C1を含むガス、NF_x、SF_x、F₂、HF、C1F_x、C1_x、HC1、BC1など)にシリコン基板1が晒される。これにより、マスクパターン3によって覆われていないシリコン基板1の表面にハロゲン5が添加される。このハロゲン5は、シリコン基板1の表面から2nm以下の深さの範囲内にのみ分布するよう添加される。この後、マスクパターン3がフッ酸により除去される。なお、マスクパターン3がシリコン窒化膜よりもなる場合は、マスクパターン3の除去には熱リン酸が用いられる。

【0052】図4を参照して、マスクパターンの除去により、ハロゲン5が添加されていない領域のシリコン基板1の表面が露出する。この状態でシリコン基板1の表面に熱酸化処理が施される。

【0053】図5を参照して、これにより、ハロゲン5が添加された領域ではハロゲン5の酸化促進作用により酸化速度が速くなる(つまり増速酸化される)。このため、ハロゲン5が添加された領域のゲート酸化膜6aは、ハロゲン5が添加されていない領域のゲート酸化膜6bよりも厚く形成され、デュアルゲートオキサイドが形成される。

【0054】この増速酸化の程度は図8に示すようにプラズマ処理時間(およそ10秒から120秒の範囲)で制御できるという利点がある。

【0055】図6を参照して、シリコン基板1の表面全面にゲート電極となる導電層7(たとえば、多結晶シリコン、アモルファスシリコン、W、WSi_x、多結晶シリコン、TiSi_x、多結晶シリコン、MoSi_x、多結晶シリコンなど、もしくはこれらの膜にAs、P、B、Nのうち少なくとも1つ以上を含むもの)が形成される。この導電層7上に、通常の写真製版技術によりレジストパターン4bが形成され、このレジストパターン4bをマスクとして導電層7にエッチングが施される。この後、レジストパターン4bが除去される。

【0056】図7を参照して、上記のエッチングにより、導電層7がバターニングされてゲート電極層7が形成される。このゲート電極層7、フィールド酸化膜2などをマスクとして不純物が注入されることにより、シリコン基板1の表面にソース/ドレイン領域8a、8bが形成される。これにより、厚いゲート酸化膜6aを有するMOSトランジスタ10aと、薄いゲート酸化膜6bを有するMOSトランジスタ10bとが完成する。

【0057】このように形成される半導体装置では、図7に示すように比較的厚いゲート酸化膜6a直下のシリコン基板1の表面には、ハロゲンなどの酸化促進物5が添加されている。この酸化促進物5は、シリコン基板1の表面から2nm以下の深さの範囲内にのみ分布している。

【0058】本実施の形態では、ハロゲンなどの酸化促進物5が、シリコン基板1の表面をプラズマに晒すこと

10
で添加される。この添加の際のエネルギーは数十eVであり、数keV～数十keVのエネルギーを必要とするイオン注入の場合よりも格段に小さい。このため、シリコン基板1のハロゲン5が添加された領域における格子欠陥などのダメージを少なくすることができる。よって、ダメージの修復が容易となり、たとえばゲート酸化膜形成のための熱酸化(図4、図5)だけでダメージを修復することができる。したがって、従来例のイオン注入のようにダメージを修復するための新たな熱酸化工程を追加することが不要となり、工程を簡略化することができる。

【0059】また、シリコン基板1の表面がプラズマに晒されることで、ライトエッチングされ清浄化される。このため、清浄化された表面に形成されるゲート酸化膜6aの膜質は非常に良好なものとなり、良好な特性を有するMOSトランジスタを製造することができる。

【0060】なお、本実施の形態では、素子分離構造としてフィールド酸化膜2を用いた場合について説明したが、トレンチ分離構造が用いられてもよい。

【0061】また本実施の形態では、素子分離構造が形成された後にゲート電極用の導電層3を形成する場合について説明したが、素子分離構造形成前にゲート電極用の導電層が形成されてもよい。その場合を以下の実施の形態2および3において説明する。

【0062】実施の形態2

図9～図17は、本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。まず図9を参照して、通常の写真製版技術およびエッチング技術によってシリコン基板1上のゲート酸化膜を厚くしたい領域以外にたとえばシリコン酸化膜よりなるマスクパターン11が形成される。この後、マスクパターン11から露出したシリコン基板1の表面が、ハロゲンを含むプラズマ(特にF、C1を含むガス、NF_x、SF_x、F₂、HF、C1F_x、C1_x、HC1、BC1など)に晒される。これにより、シリコン基板1の露出した領域にハロゲン5が添加される。このハロゲン5は、シリコン基板1の表面から2nm以下の深さの範囲内にのみ分布するよう添加される。この後、マスクパターン11が除去される。

【0063】図10を参照して、マスクパターンの除去により、シリコン基板1の表面全面が露出する。この状態で、シリコン基板1の表面に熱酸化処理が施される。

【0064】図11を参照して、この熱酸化処理により、ハロゲン5が添加された領域では酸化速度が速くなる。このため、ハロゲン5が添加された領域のゲート酸化膜6aは、ハロゲン5が添加されていない領域のゲート酸化膜6bよりも厚く形成され、デュアルゲートオキサイドが形成される。

(7)

12

11
 [0065] 図12を参照して、ゲート酸化膜6a、6b上に、導電層7と、たとえばシリコン空化膜よりなる耐酸化被覆層12とが順次形成される。導電層7は、多結晶シリコン、アモルファスシリコン、不純物が導入された多結晶シリコン、不純物が導入されたアモルファスシリコンなどよりなっている。耐酸化被覆層12上には、通常の写真製版技術によりレジストパターン1cが形成される。このレジストパターン4cをマスクとして耐酸化被覆層12および導電層7にエッチングが施される。この後、レジストパターン4cが除去される。

10
 [0066] 図13を参照して、上記のエッチングにより、導電層7および耐酸化被覆層12が所定の形状にバーニングされ、この耐酸化被覆層12によって耐酸化マスクが構成される。

[0067] 図14を参照して、耐酸化マスク12が形成された状態で、熱酸化処理が施され、耐酸化マスク12から露出する領域にフィールド酸化膜2が形成される。この後、耐酸化マスク12が熱リソフォト酸によって除去される。

[0068] 図15を参照して、これにより、導電層7の上部表面が露出する。図16を参照して、導電層7上に、通常の写真製版技術によりレジストパターン4dが形成される。このレジストパターン4dをマスクとして導電層7にエッチングが施される。この後、レジストパターン4dが除去される。

[0069] 図17を参照して、上記のエッチングにより導電層7がバーニングされてゲート電極層7が形成される。このゲート電極層7、フィールド酸化膜2などをして不純物をイオン注入することによってシリコン基板1の表面にソース/ドレイン領域8a、8bが形成される。これにより、厚いゲート酸化膜6aを有するMOSトランジスタ10aと、薄いゲート酸化膜6bを有するMOSトランジスタ10bとが完成する。

[0070] このように形成される半導体装置では、図17に示すように比較的厚いゲート酸化膜6aの直下のシリコン基板1の表面にハロゲンなどの酸化促進物5が添加されている。この酸化促進物5は、シリコン基板1の表面から2nm以下の深さの範囲内にのみ分布している。

[0071] 本実施の形態では、フィールド酸化膜2の形成時から存在する導電層7がそのままゲート電極として加工される(図16、図17)。このため、フィールド酸化膜2の形成時に必要な導電層の形成とゲート用導電層の形成とを別個に行なう必要はなく、製造工程の簡略化を図ることができる。

[0072] またフィールド酸化膜2の形成前にゲート用導電層7が形成される。このため、フィールド酸化膜2の形成後にゲート用導電層7を形成する場合のようにフィールド酸化膜2によって生じた段差上にゲート用導電層7が形成されることはない。よって、図16、図1

7に示すように、ゲート用導電層7をバーニングしても、下層の段差側壁にゲート用導電層7の残渣が生じることはない。したがって、この残渣によって他の導電層間がショートされるなどの不都合が生じることもない。

[0073] 本実施の形態については、素子分離構造としてフィールド酸化膜2を用いた場合について説明したが、素子分離構造はトレンチ分離構造でもよい。トレンチ分離構造を用いた場合を以下の実施の形態3において説明する。

10
 [0074] 実施の形態3
 図18～図22は、本発明の実施の形態3におけるデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。本実施の形態の製造方法は、まず図9～図13に示す実施の形態2と同様の工程を経る。この後、図18を参照して、マスク7、12から露出した部分にエッチングが施される。これにより、シリコン基板1の表面には選択的に溝21が形成される。

20
 [0075] 図19を参照して、溝21を埋込むように、かつマスク7、12上を覆うようにたとえばシリコン酸化膜よりなる絶縁層22が形成される。この後、被覆層12の表面が露出するまで、埋込絶縁層22にCMP(Chemical Mechanical Polish)またはエッチバックが施される。この後、フッ酸処理が施され、被覆層12および埋込絶縁層22がエッチングにより除去される。

[0076] 図20を参照して、上記のエッチングの際には、シリコン基板1の表面と埋込絶縁層22の上面とが同一面となるようにできる限り調整される。このエッチングにより、導電層7の上面が露出する。

[0077] 図21を参照して、導電層7上に、通常の写真製版技術によりレジストパターン4eが形成される。このレジストパターン1eをマスクとして導電層7にエッチングが施される。この後、レジストパターン4eは除去される。

[0078] 図22を参照して、このエッチングにより、導電層7がバーニングされてゲート電極層7が形成される。このゲート電極層7、埋込絶縁層22などをマスクとしてシリコン基板1に不純物がイオン注入される。これにより、ソース/ドレイン領域8a、8bがシリコン基板1の表面に形成される。これにより、厚いゲート酸化膜6aを有するMOSトランジスタ10aと、薄いゲート酸化膜6bを有するMOSトランジスタ10bとが完成する。

[0079] このように形成される半導体装置では、図22に示すように比較的厚いゲート酸化膜6aの直下のシリコン基板1の表面にはハロゲンなどの酸化促進物5が添加されている。この酸化促進物5はシリコン基板1の表面から2nm以下の深さの範囲内にのみ分布している。

50 [0080] 本実施の形態においても、実施の形態2と

13
同様、ゲート電極となる導電層7がトレンチ分離構造形成のためのマスクとして併用されるため、プロセスの簡略化を図ることができる。

【0081】またゲート電極となる導電層₁がトレンジ分離構造の形成前に形成されるため、ゲート電極形成時に残渣が生じにくい。以下、そのことについて詳細に説明する。

【0082】トレンチ分離構造では、図23に示すようにトレンチ分離構造を構成する埋込絶縁層22の上面がシリコン基板1の上面より突出し、段差が生ずる場合がある。この状態でゲート電極となる導電層7aが形成された後、図24に示すようにレジストパターン1eを用いてバーニングされると、トレンチ分離構造によって生じた段差側壁（領域A）に導電層7の残渣7a₁が生じてしまい、他の導電層間をショートさせてしまうおそれがある。

【0083】これに対して本実施の形態では、ゲート電極となる導電層7が形成された後にトレンチ分離構造が形成される。このため、トレンチ分離構造によって生じた段差上にゲート電極となる導電層7が形成されることはない。よって、導電層7を図21、図22に示すようにバーニングしても、トレンチ分離構造の段差側壁に導電層7の残渣が生じることはない。したがって、この残渣によって導電層間がショートされるなどの不都合が生じることはない。

生じることはない。
【0084】上記の実施の形態1～3では、酸化速度調整物としてハロゲンなどの酸化促進物を用いた場合について説明したが、酸化速度調整物は酸化抑制物であってもよい。以下、この酸化抑制物を用いた場合を実施の形態4において説明する。

〔0085〕実施の形態4

図25～図31は、本発明の実施の形態1におけるアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。図25を参照して、シリコン基板1の表面に、たとえばLOCOS法によりフノール酸化膜2が形成される。

【0086】図26を参照して、表面全面に、たゞシリコン酸化膜（あるいは窒化膜）よりなるマスク層33が形成される。このマスク層33上に、通常の写真製版技術により、レジストパターン34aが形成される。このレジストパターン34aをマスクとしてマスク層33にエッチングが施され、ゲート酸化膜を薄く形成したい領域以外にマスクパターン33が残存される。この後、レジストパターン34aが除去される。

【0087】図27を参照して、マスクパターン1
から露出したシリコン基板1の表面がN(窒素)を含むブ
ラズマ(特にNを含むガスとしてN₂、N₂O、NO、
など)に晒される。これにより、マスクパターン33に
よって覆われていないシリコン基板1の表面に窒素35
が添加される。この窒素35は、シリコン基板1の表面

14
から2nM以下の深さの範囲内にのみ分布するよう添加される。この後、マスクパターン3がフッ酸によって除去される。なお、マスクパターン3がシリコン窒化膜よりなる場合は、マスクパターン3の除去には熱リン酸が用いられる。

【0088】図28を参照して、マスクパターンの除去により、空素35が添加されていないシリコン基板1の表面が露出する。この状態で、シリコン基板1の表面に熱酸化処理が施される。

【0089】図29を参照して、この熱酸化処理により、窒素35が添加された領域では、窒素35の酸化抑制作用により、酸化速度が遅くなる。このため、窒素35が添加された領域のゲート酸化膜6bは、窒素35が添加されていない領域のゲート酸化膜6aよりも薄く形成され、デュアルゲートオキサイドが形成される。

成され、デュアルケータイプ。
 【0090】図30を参照して、シリコン基板1の表面
 全面にゲート電極となる導電層7（たとえば、多結晶シリコン、アモルファスシリコン、W、WSi₃、多結晶シリコン、TiSi₃、多結晶シリコン、MoSi₃、多結晶シリコンなど、もしくはこれらの膜にAs、P、B、Nのうち少なくとも1つ以上を含むもの）が形成される。
 この導電層7上に、通常の写真製版技術によりレジストパターン34bが形成され、このレジストパターン34bをマスクとして導電層7にエッチングが施される。こ
 れによりパターン34bが除去される。

30 bをマスクとして、
の後、レジストパターン34bが除去される。
[0091] 図31を参照して、上記のエッチングにより
り、導電層7がバーニングされてゲート電極層7が形
成される。ゲート電極層7、フィールド酸化膜2などを
マスクとして不純物が注入されることにより、シリコン
基板1の表面にソース/ドレイン領域8a、8bが形成
される。これにより、厚いゲート酸化膜6aを有するM
OSトランジスタ10aと、薄いゲート酸化膜6bを有
するMOSトランジスタ10bとが完成する。
このように形成される半導体装置では、図

【0092】このように形成される半導体表面において、3.1に示すように比較的薄いゲート酸化膜6bの直下のシリコン基板1の表面に窒素などの酸化抑制物33が添加されている。酸化抑制物35は、シリコン基板1の表面から2nmの深さの範囲内にのみ分布している。

〔0093〕本実施の形態においても、実施の形態においても、シリコン基板1の表面をプラズマに晒すことにより酸化抑制物がシリコン基板1に添加される。このため、シリコン基板1の表面に与えられるダメージを従来例のイオン注入よりも少なくできる。よって、このダメージを修復するための新たな熱酸化工程を追加する必要がなくなり、工程を簡略化することができる。

【0094】また、シリコン基板1の表面がノン曝晒されることにより、ライトエッチングされて清浄化される。このため、この部分に形成されるゲート酸化膜は良好な膜質を有することになり、良好な特質を有するMOSトランジスタを得ることが可能となる。

15

【0095】上記の実施の形態1～4では、ゲート電極層が単層の場合について説明したが、ゲート電極7はボリサイドやサリサイドなどの積層構造を有していてよい。以下、ゲート電極層が積層構造を有する場合について実施の形態5において説明する。

【0096】実施の形態5

図32～図50は、本発明の実施の形態5におけるデュアルゲートオキサイドを有する半導体装置の製造方法を工程順に示す概略断面図である。本実施の形態の製造方法は、まず図9～図11に示す実施の形態2と同様の工程を経る。この後、図32を参照して、ゲート酸化膜6a、6b上に第1の導電層41と、たとえばシリコン酸化膜よりなる絶縁層42と、たとえばシリコン窒化膜よりなる被覆層43とが順次形成される。ここで第1の導電層41は、P、A s、B、Nのうち少なくとも1つを含む多結晶シリコンあるいはアモルファスシリコンとなっている。この後、被覆層43上に通常の写真製版技術によってレジストパターン44aが形成される。このレジストパターン44aをマスクとして被覆層43、絶縁層42および第1の導電層41に順次エッチングが施される。この後、レジストパターン44aが除去される。

【0097】図33を参照して、このエッチングにより、第1の導電層41、絶縁層42、被覆層43が所定の形状にバーニングされ、これらの層よりなるマスク層41、42、43が形成される。この後、このマスク層41、42、43をマスクとしてゲート酸化膜6a、6bとシリコン基板1とにエッチングが施される。

【0098】図34を参照して、このエッチングにより、シリコン基板1の表面に選択的に溝21が形成される。

【0099】図35を参照して、この溝21を埋込むように、かつマスク層41、42、43上を覆うように、たとえばシリコン酸化膜よりなる埋込絶縁層22が形成される。この埋込絶縁層22は、被覆層43の上面が露出するまでCMP法またはエッチバックにより除去される。

【0100】図36を参照して、これにより、被覆層43の上面が露出する。この後、フッ酸処理が施され、被覆層43および埋込絶縁層22がエッチングにより除去される。このとき、シリコン基板1の表面と埋込絶縁層22の上面とが同一面となるようにできる限り調整がなされる。

【0101】図37を参照して、このエッチングにより、絶縁層42の表面が露出する。図38を参照して、通常の写真製版技術により、ハロゲン5が添加された領域上以外を覆うようにレジストパターン44bが形成される。この後、レジストパターン44bをマスクとして絶縁層42と埋込絶縁層22とにフッ酸による等方性エッチングが施される。

【0102】図39を参照して、このエッチングにより第1の導電層41の上面が露出するとともに埋込絶縁層22の側壁がなだらかなラウンド形状となる。この後、レジストパターン44bが除去される。

【0103】図40を参照して、第1の導電層41の露出した部分にエッチバックが施され、第1の導電層41の上面が埋込絶縁層22の端部Cの表面と一致するよう加工される。このとき、埋込絶縁層22の反対側の端部Dはスパッタリングにより角が丸められ、よりなだらかな形状となる。

【0104】図41を参照して、表面全面に第2の導電層45とたとえばシリコン酸化膜よりなる絶縁層16とが順次形成される。この第2の導電層45は、たとえばW、Co、Ti、Mo、Pt、Ni、Ruあるいは、それらのシリサイド化合物よりなっている。

【0105】図42を参照して、通常の写真製版技術により、絶縁層16上にレジストパターン44cが形成される。このレジストパターン44cをマスクとして絶縁層46にエッチングが施される。この後、レジストパターン44cが除去される。

【0106】図43を参照して、このエッチングにより、ハロゲン5が添加された領域上に所定の形状を有する絶縁層46が残存される。

【0107】図44を参照して、この絶縁層46をマスクとして第1および第2の導電層41、45にエッチングが施され、第1および第2の導電層41、45が形成される。また、ハロゲン5が添加されていない領域では、絶縁層42の表面が露出する。この後、ハロゲン5が添加された領域にイオンが注入される。

【0108】図45を参照して、このイオン注入により、第1のゲート電極層41、45の下側領域を挟むようにシリコン基板1の表面に比較的低濃度の不純物領域8aが形成される。ハロゲン5が添加された領域上を覆うように、かつハロゲン5が添加されない領域上において所定の形状を有するように、通常の写真製版技術によりレジストパターン44dが形成される。このレジストパターン44dをマスクとして絶縁層42および第1の導電層41にエッチングが施される。

【0109】図46を参照して、このエッチングにより、第1の導電層41がバーニングされて第2のゲート電極層41が形成される。この第2のゲート電極層41、埋込絶縁層22などをマスクとしてシリコン基板1にイオン注入を行なうことにより、シリコン基板1の表面に比較的低濃度の不純物領域8bが形成される。この後、レジストパターン44dが除去される。

【0110】図47を参照して、たとえばシリコン酸化膜よりなる絶縁層47が形成された後、この絶縁層47に全面エッチバックが施される。

【0111】図48を参照して、このエッチバックによ

17
り、第1のゲート電極層41、45および第2のゲート電極層41の側壁に絶縁層17がサイドウォールスペー
サ状に残存される。また、これとともに不純物領域8
a、8bの表面および第2のゲート電極41の上面が露
出する。第1のゲート電極層41、45、第2のゲート
電極層41、側壁絶縁層47、埋込絶縁層22などをマ
スクとしてシリコン基板1に不純物がイオン注入され
る。これにより、ハロゲン5が添加された領域には比較
的高濃度の不純物領域8cが、またハロゲン5が添加さ
れていない領域には比較的高濃度の不純物領域8dが各
々形成される。不純物領域8aと8cとによりLDD
(Lightly Doped Drain)構造のソース/ドレイン領域
8eが、不純物領域8bと8dとによりLDD構造のソ
ース/ドレイン領域8fが各々形成される。

【0112】図49を参照して、表面全面に、たとえば
Co、Ti、Mo、Pt、Ni、Ruあるいはそれらの
化合物よりなる第3の導電層48が形成される。この
後、熱処理が施されて、第3の導電層48がソース/ド
レイン領域8e、8fと接する部分および第2のゲート
電極層41と接する部分のシリサイド化が行なわれる。
この際には、シリコン酸化膜などの絶縁層47、22は
シリサイドプロテクションとして働くため、絶縁層4
7、22で覆われていない領域のみがシリサイド化され
る。この後、未反応の第3の導電層48が、H₂SO₄
/H₂O₂などのウェット処理によって除去される。
【0113】図50を参照して、上記のシリサイド化に
より、第2のゲート電極層41の上面およびソース/ド
レイン領域8e、8fの表面にシリサイド層49が形成
される。これにより、厚いゲート酸化膜6aを有するM
OSトランジスタ10aと、薄いゲート酸化膜6bを有
するMOSトランジスタ10bとが完成する。

【0114】本実施の形態では、ゲート電極加工時の残
渣が発生しにくいという利点がある。以下、そのこと
について詳細に説明する。

【0115】図51～図56は、トレンチ分離構造を形
成した後にゲート用導電層を形成するプロセスを工程順
に示す概略断面図である。まず図51を参照して、ト
レンチ分離構造が先に形成されると、埋込絶縁層22の上
面がシリコン基板1の表面より突出し、段差が生じるお
それがある。このため、第1および第2の導電層41、
45と絶縁層46とは段差の上に形成されることにな
る。

【0116】よって、レジストパターン44eを用いて
第1および第2の導電層41、45をバーニングする
と、図52に示すようにトレンチ分離構造によって生じ
た段差側壁に第1の導電層の残渣41aが生じてしま
う。さらに図53に示すように第3の導電層51が全面
に堆積された後にレジストパターン52aを用いてバ
ーニングされると、図54に示すように第1および第2
の導電層41、45および絶縁層46の側壁にこの導電

層51の残渣51aも生じてしまう。

【0117】さらに、図55に示すようにレジストパタ
ーン52bをマスクとして下層にエッチングを施して図
56に示すようにゲート電極形状にバーニングする
と、埋込絶縁層22の段差側壁に第1の導電層41の残
渣41bが生じることになる。

【0118】このようにトレンチ分離構造を形成した後
に多層構造のゲート電極を形成しようとすると、多数の
残渣41a、41b、51aが生じ、これらの残渣によ
って他の導電層間がショートされるなどの不都合が頭著
に生じてしまう。

【0119】これに対して本実施の形態の製造方法で
は、ゲート電極層となる第1の導電層41が形成された
後にトレンチ分離構造が形成される。このため、第1の
導電層41をゲート電極形成のためにバーニングした
場合でも、この第1の導電層41の残渣が生じることは
ない。

【0120】また、第2の導電層45は、図39、40
に示すように、等方性エッチングによりならかな形状
とされた表面上に形成される。このため、この第2の導
電層45をバーニングする際にも、第2の導電層45
の残渣が生じることは防止される。

【0121】以上より、本実施の形態の製造方法では残
渣の発生を防止できるため、残渣によって他の導電層間
がショートされるなどの不都合が生じることはない。

【0122】今回開示された実施の形態はすべての点で
例示であって制限的なものではないと考えられるべきで
ある。本発明の範囲は上記した説明ではなくて特許請求
の範囲によって示され、特許請求の範囲と均等の意味お
よび範囲内でのすべての変更が含まれることが意図され
る。

【0123】

【発明の効果】本発明の半導体装置では、半導体基板の
主表面から2nm以下の深さの範囲内のみと従来例と比
較して浅い位置に酸化速度調整物が分布しているため、
その添加の際のエネルギーも従来例のイオン注入の場合
より格段に小さくできる。このため、格子欠陥などのダ
メージの少ない半導体装置を得ることができる。

【0124】上記の半導体装置において好ましくは、酸
化速度調整物は酸化促進物であり、第1のゲート酸化膜
は第2のゲート酸化膜よりも厚い。

【0125】これにより、第1および第2の領域に同時に
ゲート酸化を施しても、酸化促進物を添加した第1の
領域では酸化促進物を添加しない第2の領域よりもゲー
ト酸化膜の厚みを厚くすることができる。

【0126】上記の半導体装置において好ましくは、酸
化促進物はハロゲンである。これにより、ハロゲンの酸
化促進作用を利用することができる。

【0127】上記の半導体装置において好ましくは、酸
化速度調整物は酸化抑制物であり、第1のゲート酸化膜

19
は第2のゲート酸化膜よりも薄い。

【0128】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化抑制物を添加した第1の領域では酸化抑制物を添加していない第2の領域よりもゲート酸化膜の厚みを薄くすることができる。

【0129】上記の半導体装置において好ましくは、酸化抑制物は窒素である。これにより、窒素の酸化抑制作用を利用することができます。

【0130】本発明の半導体装置の製造方法では、プラズマに晒すことで酸化速度調整物が半導体基板に添加される。この添加方法では、従来例のイオン注入より添加の際のエネルギーを格段に小さくすることができます。このため、半導体基板の格子欠陥などのダメージを少なくすることができます。よって、ダメージの修復が容易となり、たとえばゲート酸化膜形成のための熱酸化だけでダメージを修復することができます。したがって、従来例の追加が不要となり、工程を簡略化することができます。

【0131】上記の半導体装置の製造方法において好ましくは、酸化速度調整物は酸化促進物であり、第1のゲート酸化膜は第2のゲート酸化膜よりも厚く形成され

る。

【0132】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化促進物を添加した第1の領域では酸化促進物を添加していない第2の領域よりもゲート酸化膜の厚みを厚くすることができます。

【0133】上記の半導体装置の製造方法において好ましくは、酸化促進物はハロゲンである。

【0134】これにより、ハロゲンの酸化促進作用を利用して好ましくは、酸化速度調整物を含むガスは、N₂、SF₆、F₂、HF、C₁F₈、C₂F₆、HC₁、BC₁、およびHBrよりなる群より選ばれる1種以上を含むガスである。

【0135】これにより、各条件に応じたガスを選択することができます。上記の半導体装置の製造方法において好ましくは、酸化速度調整物は酸化抑制物であり、第1のゲート酸化膜は第2のゲート酸化膜よりも薄く形成される。

【0136】これにより、第1および第2の領域に同時にゲート酸化を施しても、酸化抑制物を添加した第1の領域では酸化抑制物を添加していない第2の領域よりもゲート酸化膜の厚みを薄くすることができます。

【0137】上記の半導体装置の製造方法において好ましくは、酸化抑制物は窒素である。これにより、窒素の酸化抑制作用を利用することができます。

【0138】上記の半導体装置の製造方法において好ましくは、酸化速度調整物を含むガスは、N₂、N₂OおよびNO_xよりなる群より選ばれる1種以上を含むガスである。

【0139】これにより、各条件に応じたガスを選択することができる。上記の半導体装置の製造方法において好ましくは、第1および第2のゲート酸化膜上に導電層と被覆層とを順に積層して形成する工程と、導電層と被覆層とを選択的に除去してバーニングする工程と、バーニングされた導電層と被覆層とをマスクとして導電層および被覆層が除去された領域に素子分離構造を形成する工程と、バーニングされた導電層をさらにバーニングすることでゲート電極層を形成する工程とがさらに備えられている。

【0140】この方法では、素子分離構造形成前に導電層が形成される。このため、素子分離構造形成後に導電層を形成する場合のように、素子分離構造によって段差の生じた上に導電層が形成されることはない。よって、ゲート電極形成時に導電層をバーニングしても、下層の段差側壁に導電層の残渣が生じることはない。したがって、この残渣によって導電層間がショートされるなどの不都合が生じることはない。

【0141】上記の半導体装置の製造方法において好ましくは、素子分離構造を形成する工程は、バーニングされた導電層と被覆層とをマスクとして熱酸化処理を施すことで半導体基板の主表面にフィールド酸化膜を形成する工程を有する。

【0142】これにより、残渣の発生を防止しつつフィールド酸化膜を形成することができます。

【0143】上記の半導体装置の製造方法において好ましくは、素子分離構造を形成する工程は、バーニングされた導電層と被覆層とをマスクとして半導体基板の主表面にエッティングを施すことで半導体基板の主表面に溝を形成する工程と、溝内を埋込層で埋込んでトレンチ分離構造を形成する工程とを有する。

【0144】これにより、残渣の発生を防止しつつトレンチ分離構造を形成することができます。

【0145】上記の半導体装置の製造方法において好ましくは、以下の工程がさらに備えられる。

【0146】まず第1および第2のゲート酸化膜上に第1の導電層と絶縁層と被覆層とが順に積層して形成される。そして第1の導電層と絶縁層と被覆層とが第1および第2のゲート酸化膜の各上に残るように選択的に除去されてバーニングされる。そしてバーニングされた第1の導電層と絶縁層と被覆層とをマスクとして半導体基板の主表面にエッティングが施されることで半導体基板の主表面に溝が形成される。そして溝内を埋込み、かつ上面が第1の導電層の上面より上に位置する埋込層が形成される。そして被覆層が除去されて絶縁層が露出される。そして第1および第2のゲート酸化膜のいずれか一方のゲート酸化膜上の絶縁層と、一方のゲート酸化膜上の絶縁層に隣接する埋込層の部分とに等方性エッティングが施されて一方のゲート酸化膜上の絶縁層が除去されるとともに一方のゲート酸化膜上の導電層が露出されるとともに

21 埋込層になだらかな側壁が形成される。そして一方のゲート酸化膜上では第1の導電層と接するように、かつ他方のゲート酸化膜上では絶縁層と接するように第2の導電層が形成される。そして第1および第2の導電層をバーニングすることにより、一方のゲート酸化膜上では第1および第2の導電層よりなる第1のゲート電極層が形成されるとともに、他方のゲート酸化膜上では第1の導電層よりなる第2のゲート電極層が形成される。

【0147】この方法では、いずれか一方のゲート酸化膜上の絶縁層が等方性エッチングにより除去される。この等方性エッチングでは、エッチング部の側壁はなだらかなラウンド形状となる。このため、この上に第2の導電層を形成しゲート電極形成のためにバーニングされても、このなだらかな側壁部には第2の導電層の残渣は生じにくい。このようにゲート電極層を第1および第2の導電層の積層構造とする場合でも、第2の導電層の残渣の発生を抑制することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第1工程 20 を示す概略断面図である。

【図2】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図3】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図4】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第4工程を示す概略断面図である。

【図5】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第5工程を示す概略断面図である。

【図6】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第6工程を示す概略断面図である。

【図7】 本発明の実施の形態1におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第7工程を示す概略断面図である。

【図8】 プラズマ処理を施した場合と施さない場合との酸化処理時間と酸化膜厚の関係を示す図である。

【図9】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図10】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図11】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図12】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第4工程を示す概略断面図である。

【図13】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第5工程を示す概略断面図である。

【図14】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第6工程を示す概略断面図である。

【図15】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第7工程を示す概略断面図である。

【図16】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第8工程を示す概略断面図である。

【図17】 本発明の実施の形態2におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第9工程を示す概略断面図である。

【図18】 本発明の実施の形態3におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図19】 本発明の実施の形態3におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図20】 本発明の実施の形態3におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図21】 本発明の実施の形態3におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第4工程を示す概略断面図である。

【図22】 本発明の実施の形態3におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第5工程を示す概略断面図である。

【図23】 素子分離構造を形成した後にゲート用導電層を形成した場合の問題点を説明するための第1工程図である。

【図24】 素子分離構造を形成した後にゲート用導電層を形成した場合の問題点を説明するための第2工程図である。

【図25】 本発明の実施の形態4におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図26】 本発明の実施の形態4におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図27】 本発明の実施の形態4におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図28】 本発明の実施の形態4におけるデュアルゲートオキサイドを有する半導体装置の製造方法の第4工程を示す概略断面図である。

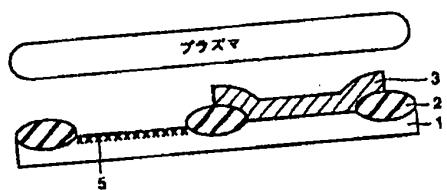
25
 す概略断面図である。
 【図65】公報に開示された製造方法の第3工程を示す概略断面図である。

* 【符号の説明】
 1 シリコン基板、6a、6b ゲート酸化膜、5 ハロゲン、35 窒素。
 *

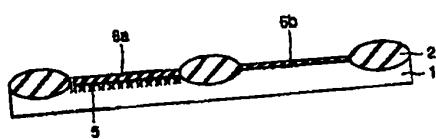
[図1]



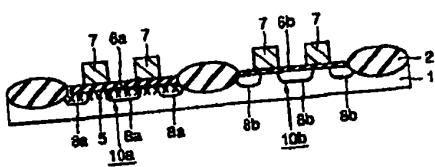
[図3]



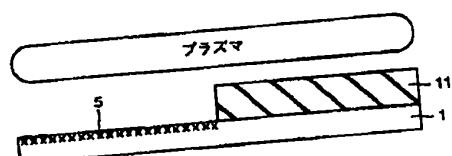
[図5]



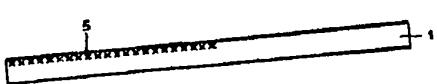
[図7]



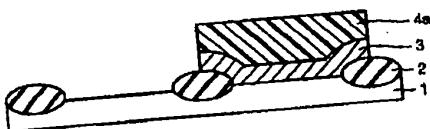
[図9]



[図10]



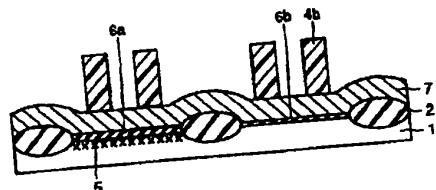
[図2]



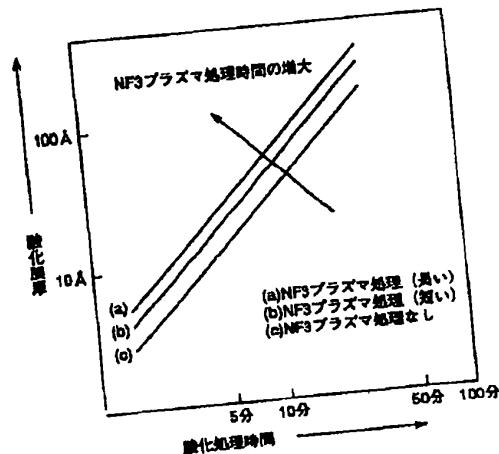
[図4]



[図6]



[図8]

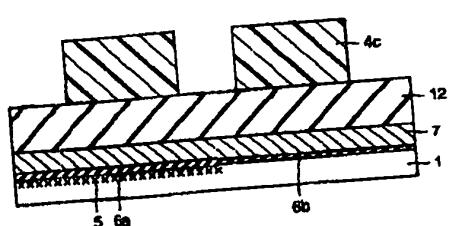


[図11]

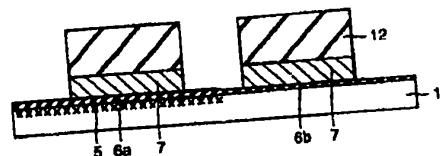


(15)

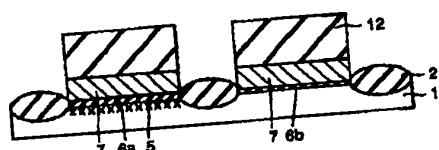
【図12】



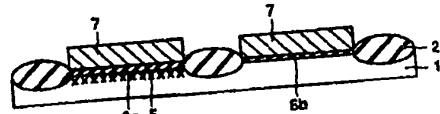
【図13】



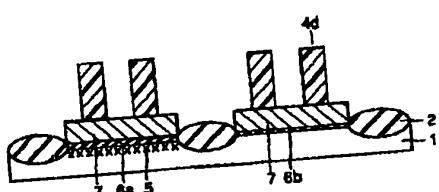
【図14】



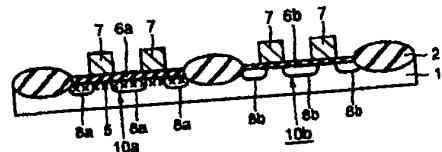
【図15】



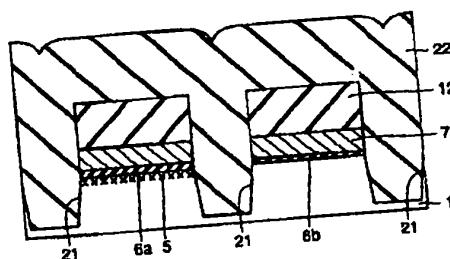
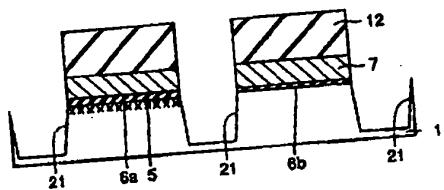
【図16】



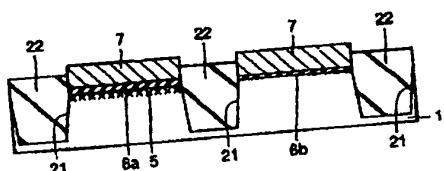
【図17】



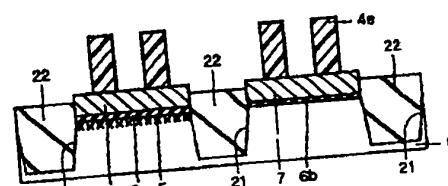
【図18】



【図20】



【図21】



【図25】

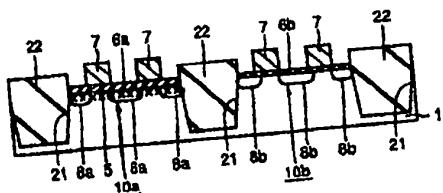


【図28】

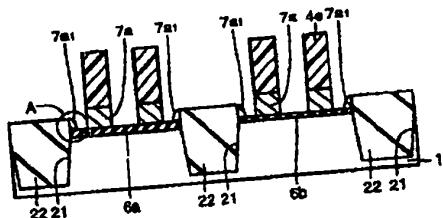


(16)

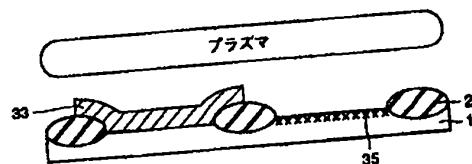
【図22】



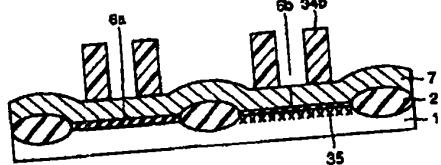
【図24】



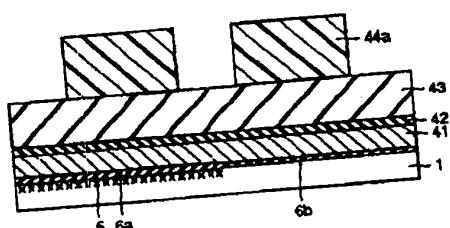
【図27】



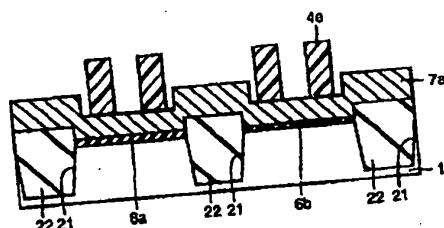
【図30】



【図32】



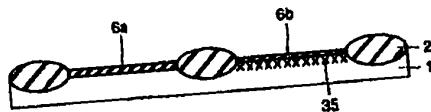
【図23】



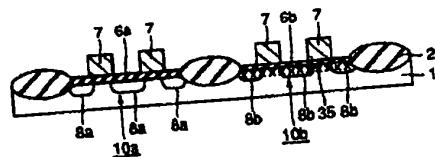
【図26】



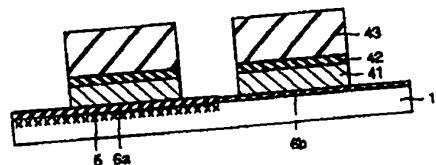
【図29】



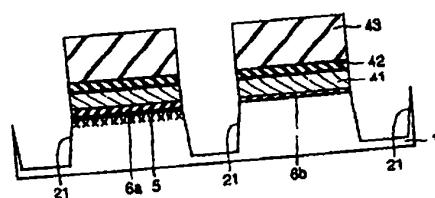
【図31】



【図33】

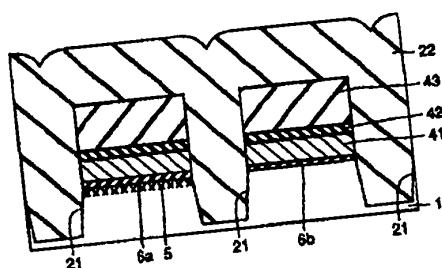


【図34】

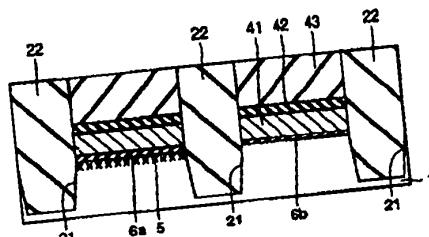


(17)

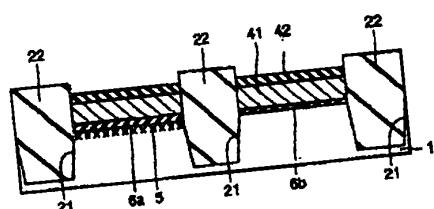
【図35】



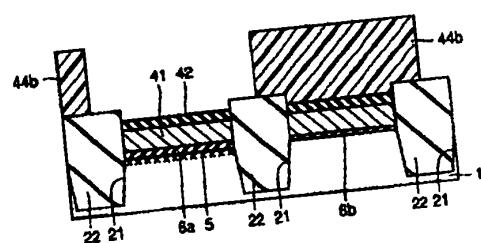
【図36】



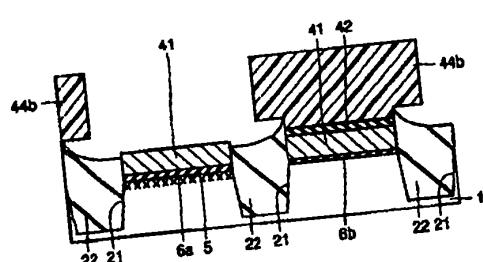
【図37】



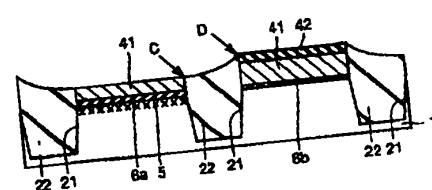
【図38】



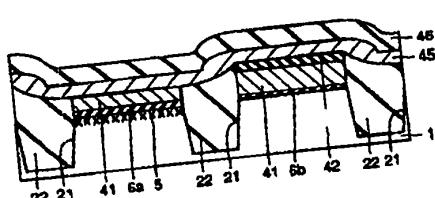
【図39】



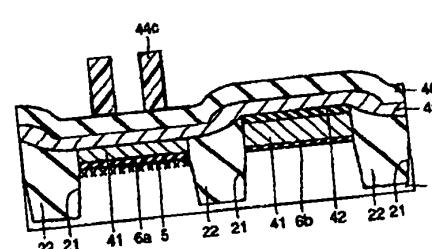
【図40】



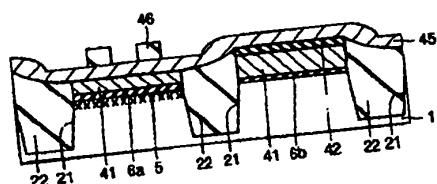
【図41】



【図42】

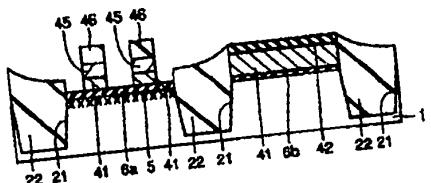


【図43】

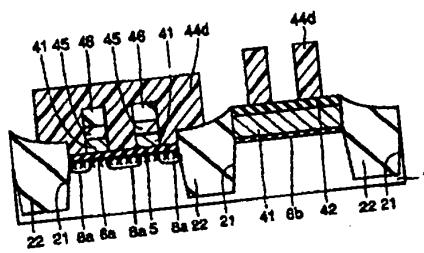


(18)

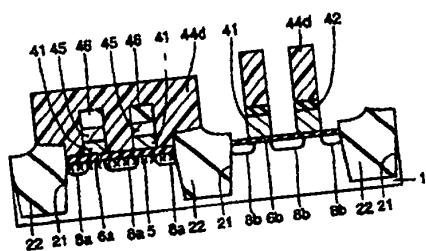
【図44】



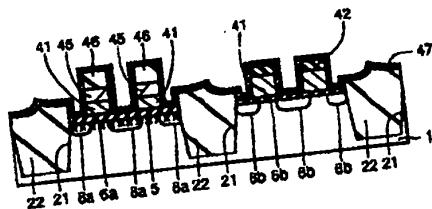
【図45】



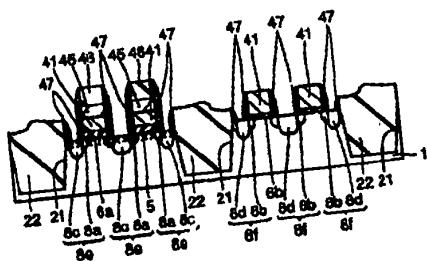
【図46】



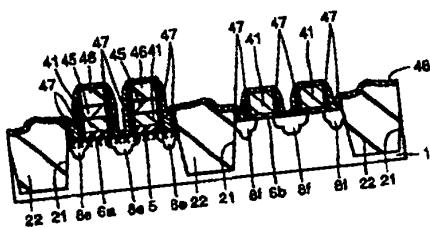
【図47】



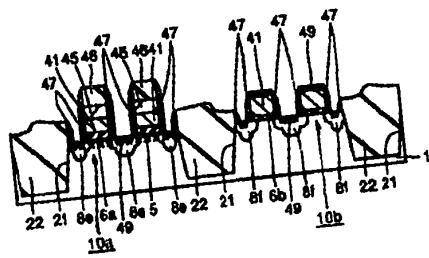
【図48】



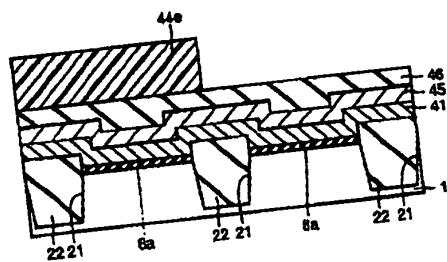
【図49】



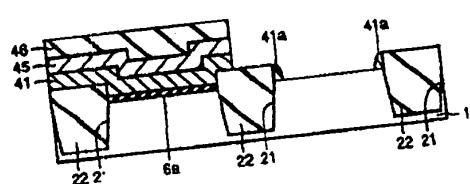
【図50】



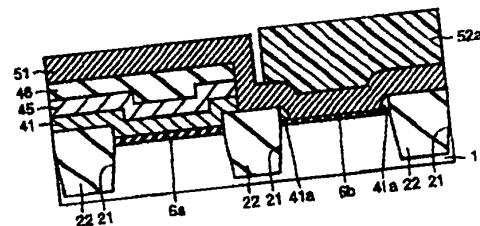
【図51】



【図52】

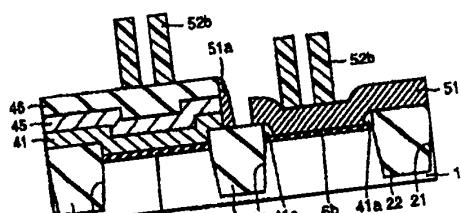


【図53】

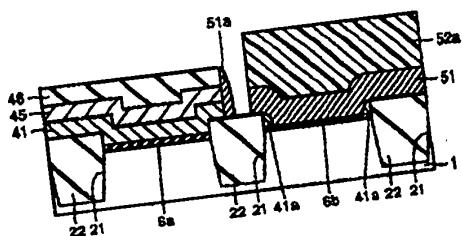


(19)

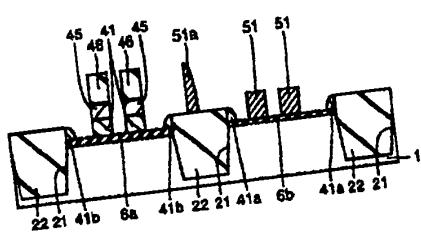
【図55】



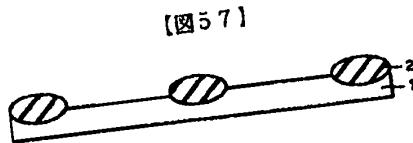
【図54】



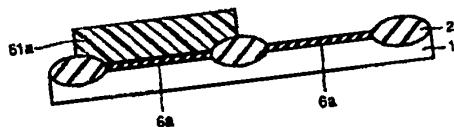
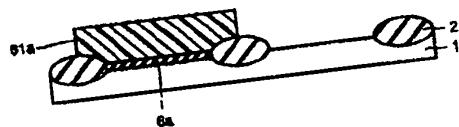
【図56】



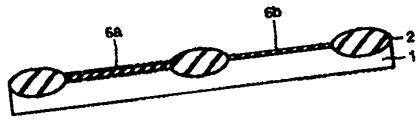
【図57】



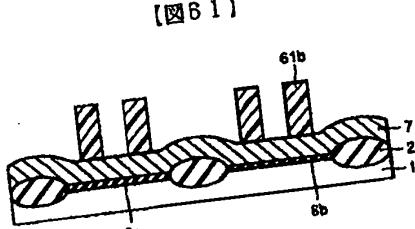
【図59】



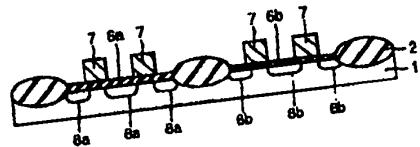
【図60】



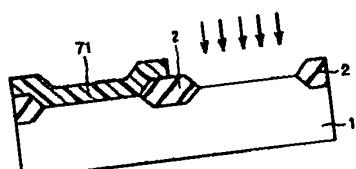
【図62】



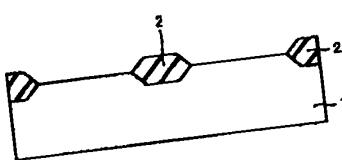
【図61】



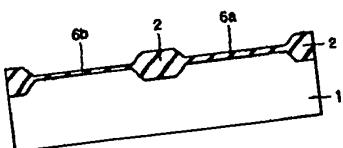
【図64】



【図63】



【図65】



フロントページの焼き

Fターム(参考) 5F048 AA09 AB01 AB03 AC01 BA01
BB06 BB07 BB08 BB09 BB12
BB16 BB18 BC06 BG06 BG12
BG14 DA20 DAZ1 DAZ5
5F083 AD01 AD10 GA28 JA07 JA33
JA35 JA39 JA53 NA01 PR14
PR39 PR40 ZA07 ZA12